

Ya

Cited Reference 4
PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-058874
(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

G01N 27/414

(21)Application number : 10-215075

(71)Applicant : HORIBA LTD

(22)Date of filing : 03.08.1998

(72)Inventor : SAWADA KAZUAKI
MIMURA SUSUMU
TOMITA KATSUHIKO

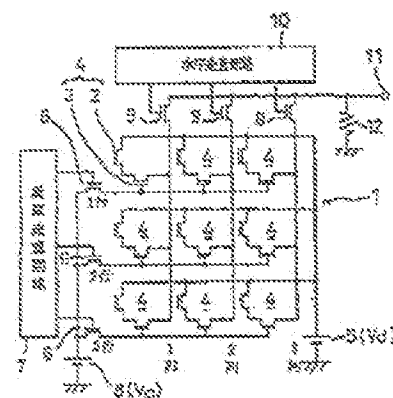
(54) ISFET ARRAY

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the influence of a noise due to the turning-on and off of a switch by a method wherein a voltage is always applied to all ion-sensitive field-effect transistors (ISFET's) in an ISFET array so as to be set to an operating state.

SOLUTION: In an ISFET array 1, MOS switches 6 only in a first row and MOS switches 9 only in a first column are turned on by a vertical scanning circuit 7 and a horizontal scanning circuit 10.

Thereby, signal currents are output only from unit sensors 4 in which devices are crossed. For example, MOS switches 6 in a first row and MOS switches 9 in a first column are turned on, and signal currents can be fetched from unit sensors 4. A source-drain current is applied, from a power supply 5, to ISFET's 2 in all unit sensors 4 including the unit sensors 4, and all the ISFET's 2 are set always to an operating state. In this manner, since the ISFET's 2 are not turned on and off, a noise due to the switching operation of MOS switches 6, 9 is hardly generated, and its influence can be reduced.



LEGAL STATUS

[Date of request for examination]

02.08.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-55874

(P2000-55874A)

(43) 公開日 平成12年2月25日(2000.2.25)

(51) Int.Cl.⁷

識別記号

F I

ターコード(参考)

G 0 1 N 27/414

G 0 1 N 27/30

3 0 1 X

審査請求 未請求 請求項の数1 O L (全4頁)

(21) 出願番号 特願平10-219075

(22) 出願日 平成10年8月3日(1998.8.3)

(71) 出願人 000153023

株式会社堀場製作所

京都府京都市南区吉祥院宮の東町2番地

(72) 発明者 澤田 和明

愛知県豊橋市王ヶ崎町字上原1番地の3

合同宿舍王ヶ崎住宅1号楼304号室

(72) 発明者 三村 孝

京都府京都市南区吉祥院宮の東町2番地

株式会社堀場製作所内

(72) 発明者 富田 勝彦

京都府京都市南区吉祥院宮の東町2番地

株式会社堀場製作所内

(74) 代理人 100074273

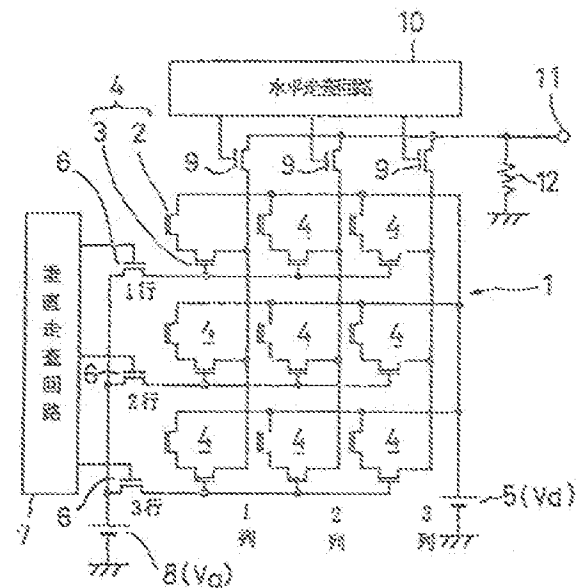
弁理士 藤本 英夫

(54) 【発明の名称】 ISFETアレイ

(57) 【要約】

【課題】 スイッチのオン、オフによるいわゆるノイズの影響を可及的に少なくしたISFETを提供すること。

【解決手段】 ISFET2を二次元的に複数個配置してなるISFETアレイ1において、全てのISFET2に常に電圧を印加し、全てのISFET2を常に動作状態にしている。



1-ISFETアレイ

2-ISFET

【特許請求の範囲】

【請求項1】 ISFETを二次元的に複数個配置してなるISFETアレイにおいて、全てのISFETに常に電圧を印加し、全てのISFETを常に動作状態にしてあることを特徴とするISFETアレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えば溶液中のイオン濃度をFET（電界効果トランジスタ）の中を流れる電流値に変換して測定するISFET（イオン感応性電界効果トランジスタ）を縦横に複数個配置してなるISFETアレイに関する。

【0002】

【従来の技術】上記ISFETを二次元的に複数個配置し、pHの二次元分布を測定するものとして、例えば、特公平5-33745号公報に示すような水素イオン濃度分布測定装置がある。図3は、この水素イオン濃度分布測定装置におけるISFETアレイの構成を示すもので、このISFETアレイは、例えば9つのISFET 31～39を3行3列に配置し、これらのISFET 31～39を、各行および各列に対応するスイッチ40～45のスイッチング動作により、それぞれの位置のpH情報を電圧信号として取り出すようにしたもので、例えば、スイッチング素子40、43を閉じる（オンすることにより、ISFET 31がオンとなり、これによって、ISFET 31におけるpH情報が出力端子46に出力される。なお、図3において、47は電流信号を電圧信号として取り出すための抵抗、48はスイッチングゲート電圧電源である。

【0003】

【発明が解決しようとする課題】ところで、一般に、ISFETはオンとなって出力が安定するまで多少の時間がかかるといった性質があるが、上記従来のISFETアレイにおいては、スイッチ40～45をオンまたはオフして、特定のISFETにおけるpH情報を得ようとした場合、そのISFETがオンまたはオフして、その状態が安定せず、このため、その出力信号がスイッチング動作の影響を大きく受け、出力が安定しないという不都合があった。

【0004】この発明は、上述の事柄に留意してなされたもので、その目的は、スイッチのオン、オフによるいわゆるノイズの影響を可及的に少なくしたISFETを提供することである。

【0005】

【課題を解決するための手段】上記目的を達成するため、この発明は、ISFETを二次元的に複数個配置してなるISFETアレイにおいて、全てのISFETに常に電圧を印加し、全てのISFETを常に動作状態にしている。

【0006】上記構成によれば、ISFET自体はオン

オフしてないので、スイッチング動作によるノイズ影響が大幅に低減される。

【0007】

【発明の実施の形態】発明の実施の形態を、図面を参照しながら説明する。図1は、この発明のISFETアレイ1の構成を概略的に示すもので、このISFETアレイ1は、例えば、溶液中の水素イオン濃度を電流値に変換するISFET 2と、このISFET 2に直列に接続されるスイッチ素子としてのMOSFET 3とからなる複数の単位センサ（画素ともいう）4を例えばシリコン基板5（図2参照）の表面5aに二次元的に配置してなるものである。より詳しくは、各単位センサ4において、ISFET 2のドレインとMOSFET 3のソースとが接続されている。これらの単位センサ4は、例えば3行3列に二次元的に配列されている。そして、各ISFET 2のソースには、電源5によって常にソースドレイン電圧（ V_d ）が付与されるように構成されている。

【0008】また、前記MOSFET 3は、各行ごとにそのゲート同士が互いに接続され、各行に対応して設けられるスイッチ素子としてのMOSスイッチ6のドレインに接続されている。そして、各MOSスイッチ6のゲートは、垂直走査回路7に接続されている。8はMOSスイッチ6のゲートにスイッチングゲート電圧（ V_g ）を付与する電源で、その正極は各MOSスイッチ6のソースと接続され、負極は接地されている。

【0009】さらに、前記MOSFET 3は、各列ごとにそのドレイン同士が互いに接続され、各列に対応して設けられるスイッチ素子としてのMOSスイッチ9のソースに接続されている。そして、各MOSスイッチ9のゲートは、水平走査回路10に接続されている。また、各MOSスイッチ9のドレイン同士は互いに接続されるとともに、出力端子11に接続されている。12は電流信号を電圧信号として取り出すための抵抗である。

【0010】上記構成のISFETアレイ1においては、垂直走査回路7および水平走査回路10によって、1行、1列のみのMOSスイッチ6、9をオンすることにより、装置の交叉している単位センサ4のみから信号電流が出力される。例えば、図1において、1行目と1列目のMOSスイッチ6、9をオンすることにより、左上の単位センサ4からの信号電流を取り出すことができる。この場合、当該単位センサ4を含む全ての単位センサ4におけるISFET 2には、電源5によってソースドレイン電圧 V_d が印加されており、全てのISFET 2は常に動作状態になっている。つまり、ISFET 2自体はオンオフしてないので、MOSスイッチ6、9のスイッチング動作によるノイズが殆どなくなり、その影響が大幅に低減される。

【0011】そして、上記構成のISFETアレイ1においては、ISFET 2に直列に接続されるスイッチ3としてMOSスイッチを用いているので、ISFETア

レイ1全体の構成が簡単になる。

【0012】図2は、前記ISFETアレイ1を用いたpH二次元分布測定装置13によってpHの分布を測定する状態を概略的に示す図で、この図において、14は被検体としての寒天である。そして、この寒天14の表面に、ISFETアレイ1が形成された基板5の表面5aが密着している。15は寒天14に挿入される比較電極である。16はISFETアレイ1の出力と比較電極15の出力との差をとる電圧計で、その出力は演算制御部としての画像処理可能なコンピュータ17に入力される。このコンピュータ17は、前記垂直走査回路7および水平走査回路10を制御する機能をも備えていることはいうまでもない。

【0013】上記、図2に示すpH二次元分布測定装置13においては、コンピュータ17から垂直走査回路7および水平走査回路10に適宜制御信号を送り、MOSスイッチ6、9を順次オンオフ制御することにより、寒天14におけるpHの二次元分布を測定することができる。そして、このとき得られる信号を適宜画像処理することにより、pHの二次元分布画像を得ることができる。この場合、ISFETアレイ1においては、上述したようにスイッチノイズの影響をほとんど受けることがないので、高画質の二次元画像化を行うことができる。

【0014】この発明は、上述の実施の形態に限られるものではなく、ISFETアレイ1としては、単位センサ4を $m \times n$ (n は自然数) 配置にしたもののみならず、 $m \times n$ (m は自然数) であってもよい。

【0015】そして、ISFET2に直列に接続されているMOSスイッチ3に代えて、オペアンプなどの応用電子回路を用いてもよい。このようにすることにより、個々のISFET2の特性の補正、出力電流の増幅、電圧電圧変換などを随時行うことができ、特に、早い段階において増幅することによりS/Nを大きくすることができ、信号精度を向上させることができる。

【0016】また、ISFET2としては、水素イオン以外の他のイオンに感応するものであってもよいことはいうまでもない。

【0017】

【発明の効果】

この発明のISFETアレイにおいては、ISFETアレイを構成する全てのISFETに常に電圧を印加し、全てのISFETを常に動作状態にしているので、スイッチング動作によるノイズ影響を受けることがなくなり、精度の高い測定を行うことができる。

【図面の簡単な説明】

【図1】この発明のISFETアレイの構成を概略的に示す図である。

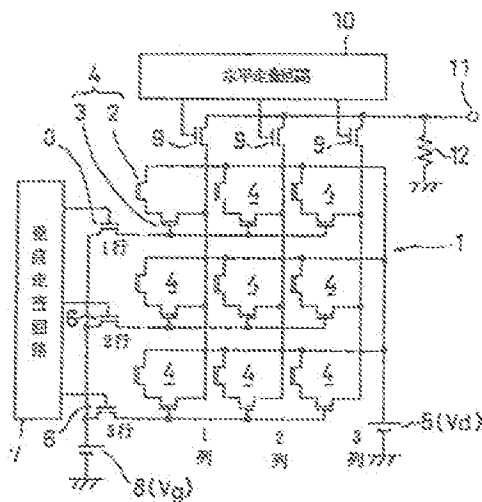
【図2】前記ISFETアレイを用いたpH二次元分布測定装置の一例を概略的に示す図である。

【図3】従来のISFETアレイを示す図である。

【符号の説明】

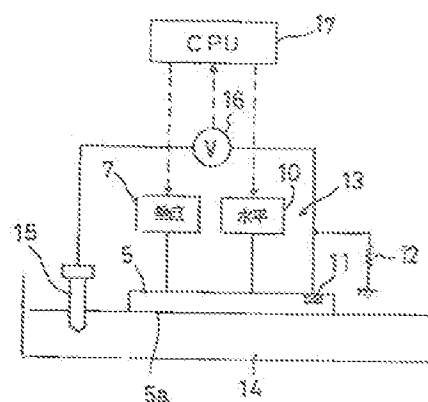
1…ISFETアレイ、2…ISFET、

【図1】



1…ISFETアレイ
2…ISFET

【図2】



(圖3)

